

CAPITOLO 7: ELEMENTI DI HARDWARE

1. CONSIDERAZIONI PROGETTUALI

Il verificarsi di problemi sul layout che ospita la logica programmabile può ripercuotersi sul corretto funzionamento del circuito logico in esso implementato e vanificare qualsiasi sforzo progettuale.

Anelli, diafonia, ground bounce, rumore e altri problemi connessi con le linee di trasmissione possono perturbare il funzionamento del sistema fino a portarlo fuori servizio. L'esecuzione scorretta del layout può creare distorsioni, fronti doppi ed elevata rumorosità sui segnali.

Una buona regola che avalla queste considerazioni è l'istaurazione di una stretta collaborazione tra il progettista del sistema logico e quello del circuito stampato.

2. EMI

Un elemento da prendere in considerazione come causa della rumorosità del sistema è l'interferenza elettromagnetica (EMI). L'EMI è un fenomeno elettrico ove l'energia del campo elettrico e magnetico di una sorgente, quale può essere un cavo coassiale, un connettore o i buffer di un chip, interferisce con i segnali di un'altra sorgente distorcendoli. È funzione della frequenza, del duty cycle, dei fronti dei segnali, del salto di tensione sui buffer di uscita.

3. DIAFONIA

La diafonia è l'accoppiamento indesiderato di segnali da una linea all'altra quando si è in presenza di due linee di trasmissione che convogliano segnali diversi. Cresce quando si hanno linee parallele o ravvicinate, lunghezze di connessione dell'ordine di 8 pollici. Provoca deformazioni dei segnali o glitch imprevedibili. L'accoppiamento è deleterio soprattutto se le linee convogliano segnali di clock.

4. GROUND BOUNCE

Il ground bounce è una sorgente di rumore che interviene a causa delle induttanze parassite presenti in tutti i conduttori e si manifesta nella maggior parte delle famiglie logiche. È visibile sulle transizioni dei segnali o su segnali interferiti da queste transizioni ed è particolarmente percepibile quando si ha una transizione dal livello logico alto a quello basso. Si manifesta come un'oscillazione smorzata del segnale sul livello basso e causa uno spostamento delle soglie di ingresso dei buffer, rumore sulle loro uscite, glitch su un'uscita in stato di quiete in un livello logico basso.

Tra i fattori che influiscono sull'ampiezza del ground bounce è possibile individuare il numero di uscite che commutano contemporaneamente (Simultaneously Switching Outputs), il tipo di carico capacitivo che hanno le linee, la localizzazione dei pin di uscita rispetto al pin di massa del componente, il modo con cui è distribuita la tensione di alimentazione sul circuito stampato.

5. REGOLE DI LAYOUT

E' possibile enunciare una serie di regole al fine di combattere i fenomeni di disturbo che possono alterare il funzionamento di un circuito stampato e in particolare della logica programmabile presente in esso.

Usare PCB multistrato.

Includere piani di massa e di alimentazione.

Evitare discontinuità nei piani in quanto ripide variazioni nelle caratteristiche delle impedenze possono originare riflessioni.

Frammentare i piani di massa e di alimentazione al fine di realizzare sezioni dedicate a dispositivi di commutazione ad alta corrente come lampade, relais, motori, e sezioni dedicate ai circuiti logici. La frammentazione comporta però creazioni di numerose discontinuità per cui va usata con attenzione.

Creare isole sui PCB ad alta velocità

Evitare gli autorouter.

Limitare la lunghezza dei segnali di interconnessione.

Distanziare al massimo i collegamenti paralleli che sono interessati da segnali ad alta frequenza e che potrebbero originare diafonia.

Terminare le linee ad alta velocità ed alle loro estremità (parallelo o serie).

Evitare di superare come carico capacitivo i limiti desunti dalle condizioni operative raccomandate dai costruttori.

Porre buffer sui segnali di ingresso e di uscita dal PCB e prevedere protezioni dai sovraccarichi e dai cortocircuiti.

Usare capacità di disaccoppiamento su ogni chip localizzandole il più vicino possibile a ciascun pin di Vcc (tipicamente 0.1 μ F).

La soglia di ingresso CMOS offre le migliori immunità al rumore. È opportuno utilizzare buffer CMOS in uscita e a seconda dei casi TTL o CMOS in ingresso.

Eliminare, se possibile, gli zoccoli.

Bufferare i clock con un CMOS e una resistenza in serie e il più possibile vicino al buffer di 22/50 ohm.

Limitare gli slew-rate su segnali lenti riducendo, oltre al rumore, la potenza assorbita.

Ridurre il numero di uscite che commutano contemporaneamente.

Aggiungere una resistenza da 10 o 30 ohm in serie ed il più possibile vicino a questi tipi di uscite per ridurre il flusso di corrente.

6. PIN LOCKING FACTORS

Anche se è garantita la pin locking capability, sia per PLD che per FPGA, è opportuno che il primo run di place and route venga effettuato lasciando la massima libertà al software nel piazzare i pin, cosa che è possibile fare nel successivo run. Ciò comporta due vantaggi: cresce la routability del dispositivo, aumenta la probabilità di effettuare un routing valido, con i pin fissati, in caso di successive espansioni del progetto. Lo svantaggio è che tipicamente si desidera avere la

disposizione dei pin ancor prima di iniziare un progetto e spesso le due cose non sono compatibili.

7. SOLUZIONI EMBEDDED PER RIDURRE IL RUMORE

Quasi tutte le PLD e gli FPGA prodotti negli ultimi anni consentono la programmabilità dello slew-rate del buffer di uscita pin per pin. Ove non sono richiesti requisiti di velocità sui segnali di uscita è consigliabile ridurre lo slew rate e quindi anche la quantità di corrente che fluisce per unità di tempo. Alcuni componenti offrono anche la programmabilità della corrente che può fornire un buffer. Ove non necessario, riducendo al minimo la corrente fornita dai buffer, si abbassa il valor medio del rumore totale del sistema. Questo perchè si riduce la tensione di ground bounce cioè la fascia di rumore presente sul livello logico zero.

In tutte le famiglie esistono delle pull-up su tutti i pin per ridurre la corrente assorbita e il rumore generato. Nella famiglia XC9500 della Xilinx è possibile ricorrere allo user programmable pin ground, cioè alla trasformazione dei pin non dedicati alla logica, in pin di massa.

La rimozione dello zoccolo, responsabile dell'aumento delle induttanze parassite, è gratuitamente ottenuta con la riprogrammabilità in system.

8. MIGRAZIONE TECNOLOGICA

Per quasi vent'anni la tensione di alimentazione più diffusa per i circuiti elettronici è stata la 5 volt. La dimensione del canale, su cui invece si basavano i processi di fabbricazione del silicio, è passata dai 3.0 μ ai 0.5 μ che hanno rappresentato la barriera costruttiva al di sotto della quale andava utilizzata una nuova tensione: 3.3 V. Questa tensione ha consentito di scendere a 0.35 μ ed ha permesso di realizzare componenti sempre più densi contenendo i consumi in termini di potenza assorbita e potenza termica dissipata.

Con l'introduzione di una seconda tensione di alimentazione è possibile trovare sullo stesso circuito stampato componenti a 3.3 e componenti a 5 volt che si scambiano segnali. Per tale motivo i buffer di ingresso di molte logiche programmabili alimentate a 3.3 sono five-volt tolerant, cioè anche se sono alimentati ad una tensione inferiore non subiscono danneggiamenti se raggiunti da segnali a 5 volt. Per quanto riguarda i segnali in uscita da un sistema a 3.3 V, l'adozione di componenti a soglia CMOS va rimpiazzata con quella a soglia TTL, o secondo gli standard da poco introdotti LVCMOS e LVTTL.

Il progresso tecnologico e le densità via via crescenti hanno condotto a dimensioni di 0.25 μ e tensioni di alimentazione di 2.5 volt. Tra non molti mesi, quando verranno immessi sul mercato FPGA di complessità tale da parlare di system in chip solution, la tensione di alimentazione richiesta sarà di 1.8 volt e il canale avrà raggiunto i 0.18 μ .

9. ANALISI DELL'INTEGRITÀ DEI SEGNALI

Problemi derivanti da diafonia, riflessioni, simultaneous switching output si presentano come precursori dei problemi di EMI/EMC.

Ciascun package presente sul circuito stampato ha una geometria che include diversi tipi di conduttori (pin, piste, pad del die) e diversi tipi di materiali dielettrici (plastiche del package, strati del circuito stampato). Per una simile struttura è possibile fornire un modello di rete che fa riferimento alla matrice RLC. In questo modello di rete i parametri circuitali sono rappresentati dai coefficienti di accoppiamento chiamati anche parametri S ($S_{11}, S_{12}, S_{21}, S_{22}$).

Al crescere della frequenza e dei die la lunghezza delle connessioni diviene paragonabile alla lunghezza d'onda e per tale motivo occorre usare un approccio di tipo elettromagnetico al fine di comprendere le distorsioni che subiscono i segnali e porvi rimedio.

Due sono le tecniche di simulazione che possono risultare utili al fine di analizzare il problema: tecnica BEM (Boundary-Element Method) e tecnica FEM (Finite-Element Method). La prima è usata per il calcolo dei campi statici e l'estrazione dei modelli circuitali, la seconda per la simulazione *full-wave*.

Nella simulazione di tipo BEM si usa la formulazione integrale delle equazioni di Maxwell per calcolare le sorgenti della quantità di campo interessato. In una simulazione elettrostatica le sorgenti sono cariche elettriche. In una simulazione magnetostatica sono correnti. La regione sotto analisi viene divisa in parti di una superficie di confine in cui le sorgenti (cariche o correnti) sono ritenute costanti ma di ampiezza incognita. Sostituendo questi termini nell'equazione integrale, si ottiene un'equazione matriciale, la cui risoluzione determina l'ampiezza dei coefficienti. Noti questi termini si calcola la desiderata quantità di campo in ogni punto e da questi si estraggono i corrispondenti parametri circuitali. Al crescere del numero delle incognite il tempo di risoluzione cresce in maniera cubica divenendo proibitivo. L'utilizzo di una tecnica di espansione *multipole* consente di linearizzare la crescita del tempo di calcolo.

La simulazione del tipo BEM è particolarmente usata per modelli geometrici planari. Per geometrie tridimensionali si usa la tecnica FEM. Si divide lo spazio in piccoli tetraedri, chiamati *FEM mesh*, e si calcola direttamente la quantità di campo con una semplice funzione polinomiale contenente come incognite le ampiezze dei coefficienti che approssimeranno il campo in ogni elemento. Queste funzioni sono poi incluse in una espressione funzionale derivata dalla forma differenziale delle equazioni di Maxwell e la matrice che ne risulta è di più agevole manipolazione rispetto al caso della simulazione BEM. Risolta l'equazione matriciale le quantità di campo risultanti sono usate per calcolare i parametri circuitali.

10. STIMA DI POTENZA

Sapere quanto consumerà una logica programmabile in fase di progettazione non è di agevole determinazione. I consumi dipendono dalla temperatura ambiente, dalla frequenza di funzionamento, dalla tensione di alimentazione che ha una tolleranza rispetto ai suoi valori nominali, dall'utilizzo o meno di sistemi di ventilazione o dalla presenza di dissipatori.

Utilizzando i databook è possibile, conoscendo la frequenza del sistema e il numero di product term o LUT della logica di utente, fornire una stima approssimativa a priori.

La famiglia Virtex della Xilinx, fornisce dei pin di sensing che, mediante un dispositivo di conversione, possono comunicare ad un microprocessore la temperatura del die e quindi indirettamente la potenza assorbita. In altri casi, ove non si voglia effettuare il processo di misura automaticamente, è possibile ricorrere ad un multimetro, che fornisce le medesime indicazioni.

11. RIDUZIONE DEI CONSUMI

In alcune famiglie di PLD i product term non usati sono automaticamente configurati in Shutdown power mode, in altre è presente la modalità Turbo Bit che consente riduzioni sul consumo a discapito della velocità

Negli FPGA è possibile evocare opzioni del tipo Tie in cui, tutte le variabili delle look-up table non usate dalla logica d'utente, sono fissate a massa o alla tensione di alimentazione.

FIGURA 1: Struttura dello stadio di uscita di una GAL (a). Uscita al livello logico 0 (b). Uscita al livello logico 1 (c). Uscita in tri-state (d).

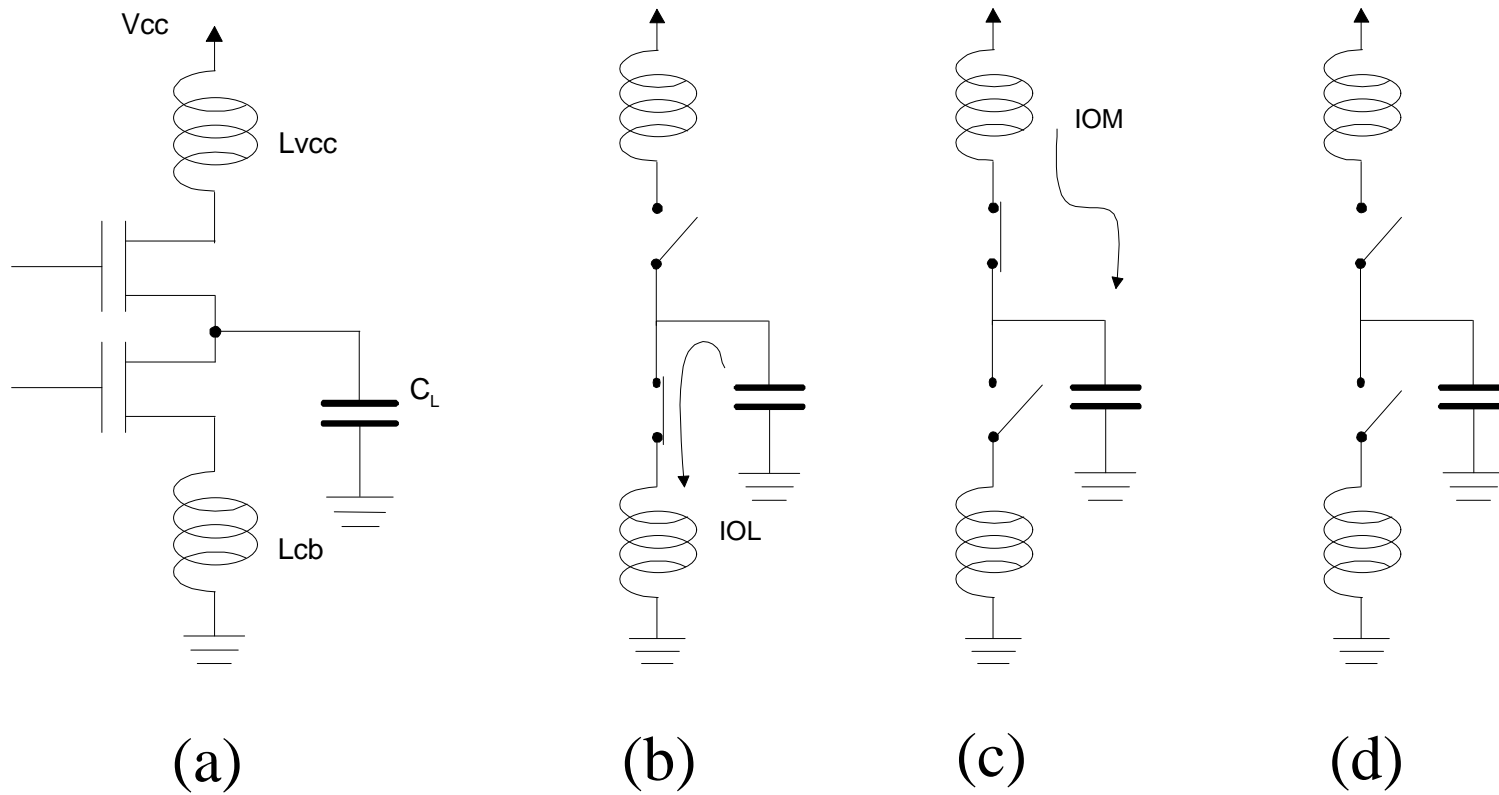
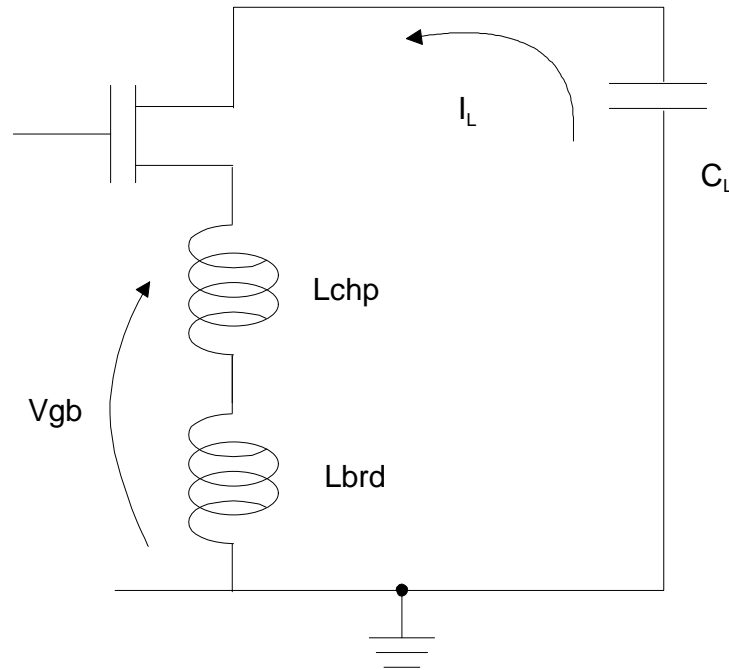


FIGURA 2: Modello circuitale per la determinazione della tensione di ground bounce.



$$C_L = C_{out} + C_{in1} + C_{in2} + \dots$$

$$I_L = C_L \frac{dV}{dt}$$

$$L_{gb} = L_{chp} + L_{brd}$$

$$|V_{gb}| = L_{gb} |dI/dt|$$

V_{gb} = tensione di ground bounce

L_{chp} = induttanza del conduttore di massa nel chip

L_{brd} = induttanza del conduttore di massa della board

FIGURA 3: Effetto del ground bounce. Commutazione di una porta che produce glitch sullo stadio di uscita di un'altra porta.

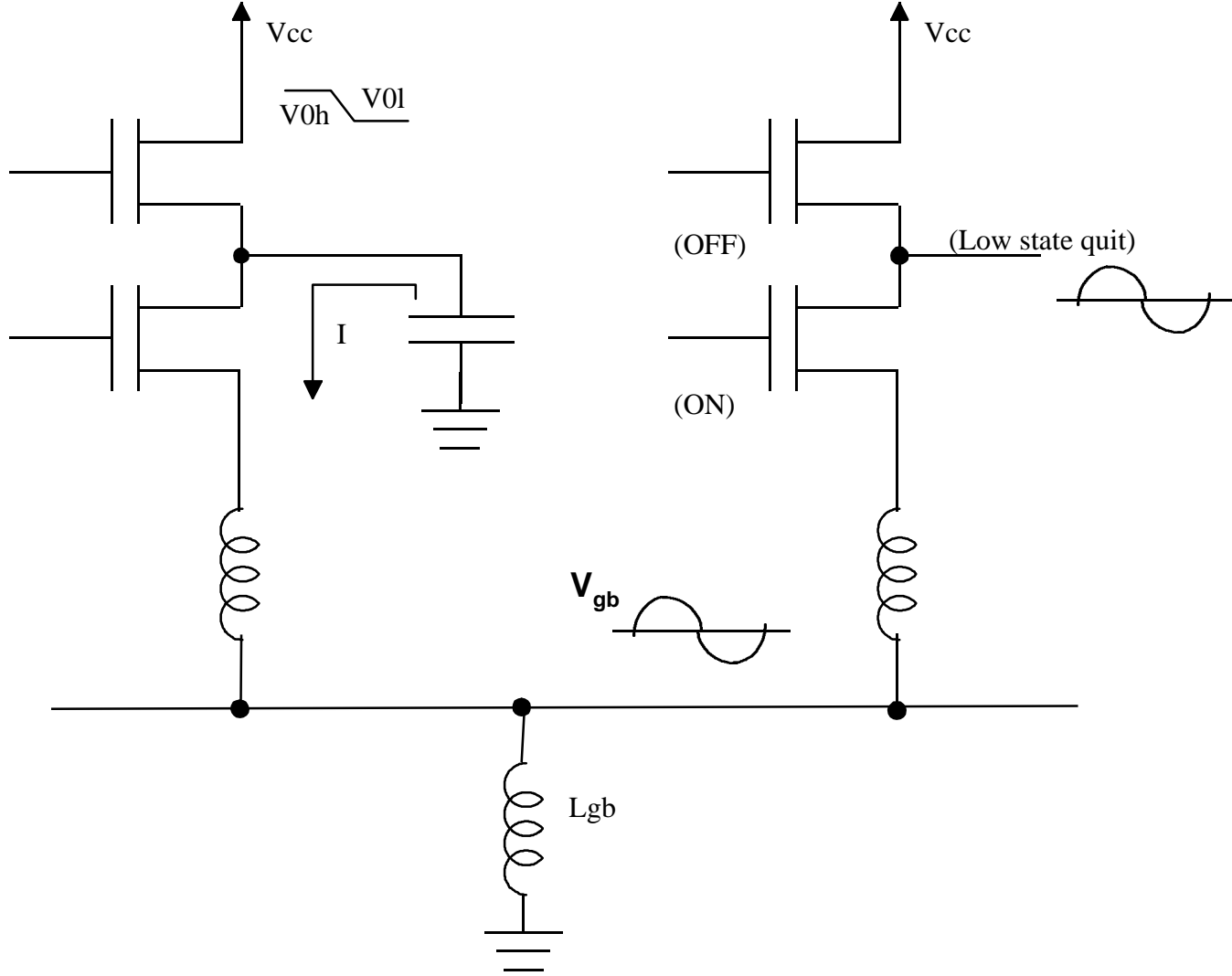


FIGURA 4: Andamento nel corso degli anni della dimensione del canale in funzione della tensione di alimentazione.

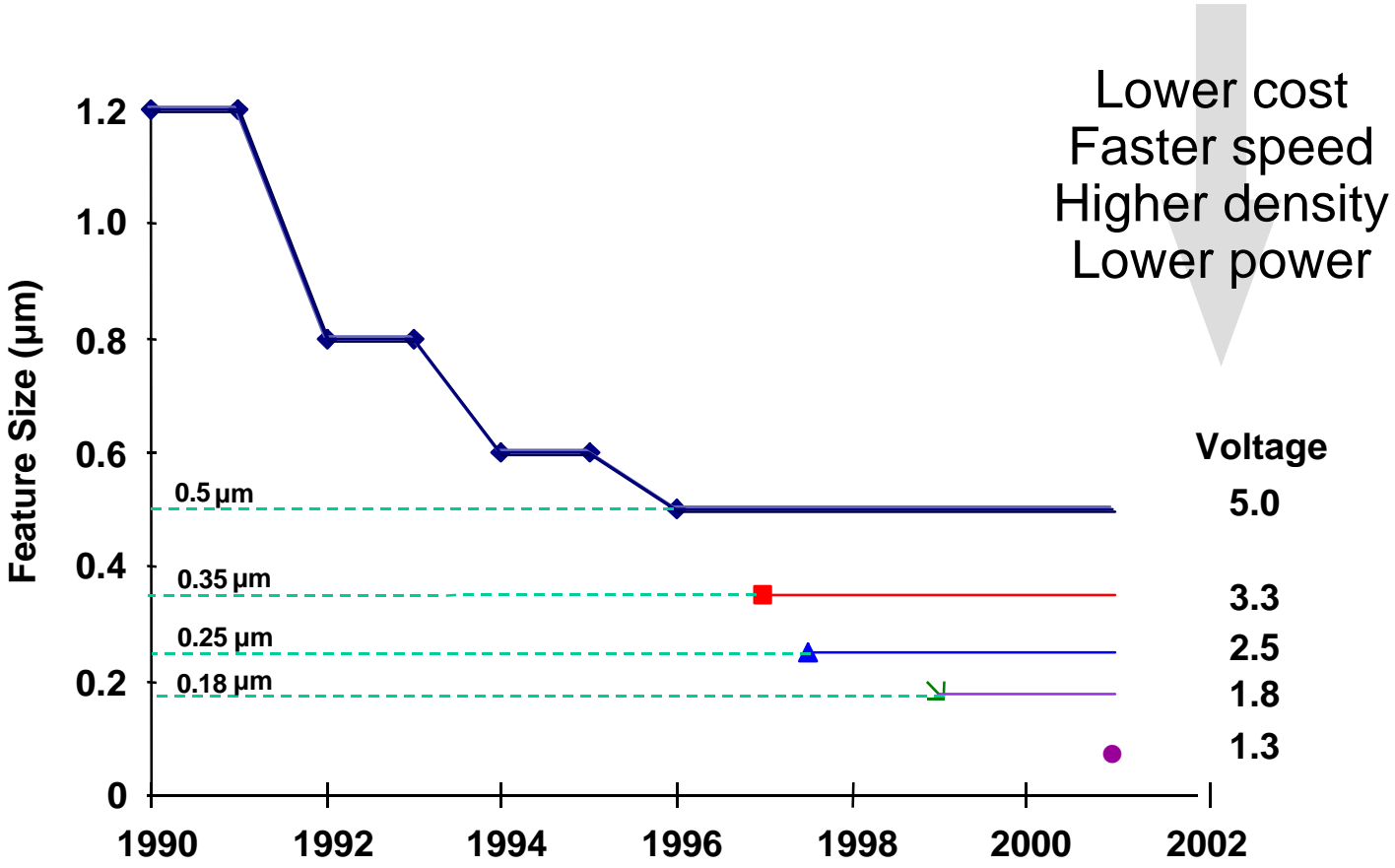


FIGURA 5: Compatibilita' tra sistemi con tensione mista.

